

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-241918  
(43)Date of publication of application : 29.10.1991

(51)Int.Cl. H03K 5/156  
G06F 1/06  
H03K 5/15

(21)Application number : 02-037367  
(22)Date of filing : 20.02.1990

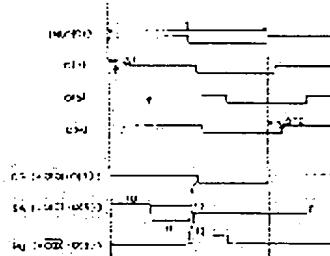
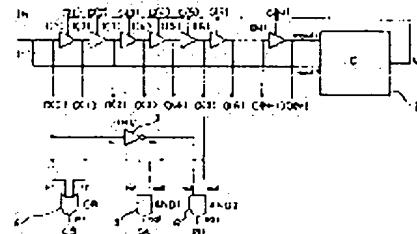
(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>  
(72)Inventor : ENDO KANICHI  
MATSUMURA TSUNEO

## (54) SIGNAL GENERATOR

### (57)Abstract:

PURPOSE: To generate a clock signal with high accuracy at high speed by connecting delay circuits with same performance whose delay extent is adjustable by a feedback level in cascade, taking a logic of each delay circuit output so as to vary the basic clock cycle.

CONSTITUTION: An IN(O<sub>0</sub>) is basic clock whose period is T and every time the clock passes one stage of a unit delay circuit 1, and the clock is retarded by each  $\frac{1}{T}$  as O<sub>1</sub>, O<sub>2</sub>. Then the polarity and the absolute value of a control voltage V<sub>g</sub> is adjusted depending on a phase difference  $\Delta\theta$  between an output O<sub>M</sub> of a final M-stage inputted to an input 1 of a delay control circuit 2 and a signal IN inputted to an input 2 of the circuit 2 and the result is fed back to a unit delay circuit D<sub>(m)</sub> ( $m=1-M$ ). The adjustment above is repeated to make the  $\Delta\theta$  close to '0' infinitely. Thus, an accurate internal signal is generated by only supplying a simple external signal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 平3-241918

⑫ Int. Cl.<sup>5</sup>  
 H 03 K 5/156  
 G 06 F 1/06  
 H 03 K 5/15

識別記号 A 7125-5J  
 P 7125-5J  
 7459-5B G 06 F 1/04

⑬ 公開 平成3年(1991)10月29日  
 審査請求 未請求 請求項の数 1 (全11頁)

⑭ 発明の名称 信号発生器

⑮ 特 願 平2-37367  
 ⑯ 出 願 平2(1990)2月20日

⑰ 発明者 遠藤 乾一 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑰ 発明者 松村 常夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑰ 出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

⑰ 代理人 弁理士 中村 純之助

明細書

1. 発明の名称

信号発生器

2. 特許請求の範囲

1. 外部からの制御信号により遅延量を制御しうる遅延素子と、均一な特性をもつ該遅延素子をn段階列接続した各段から出力を取り出せるクロック転送器と、周期Tの任意外部入力クロックと該外部入力クロックを入力として前記クロック転送器を経過したクロック出力とを比較し、該クロック転送器全体の遅延量が1周期となる制御信号を発生して前記遅延素子n段各々に供給しうる制御回路と、該遅延素子のn個のクロック出力のうち任意の複数個のクロック出力を用いT/nの時間精度で立ち上がり・立ち下がリタイミングが規定される任意クロックを発生する回路とを有することを特徴とする信号発生器。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体の大規模集積回路内に搭載して高精度にクロック波形を生成する信号発生器にかかわり、特に、メモリの制御信号発生回路、ロジックアナライザ等の集積回路に搭載する高精度信号発生器に関する。

[従来の技術]

従来例として、メモリの動作を制御する方法を第13図により説明する。第13図(a)は、入力クロックとメモリ内部で使用するクロックのタイミングチャートを示している。図中、内部クロックは3種類あり、メモリ選択クロックCS、センス回路動作クロックSA、ブルアップ動作クロックPUである。それぞれのクロックの形状は、入力クロックDINの起点からの遅延Δt<sub>i</sub>(i=3, 4, 5)、立ち上がりタイミングt<sub>j</sub>(j=31, 41, 51)、立ち下がりタイミングt<sub>k</sub>(k=32, 42, 52)で表わせる。メモリ動作を正常に行うために、これらの時間値が正確である必要がある。例えば、

互いの時間余裕 ( $t_{H1} - t_{L1}$ ,  $t_{H2} - t_{L2}$ など) を正確に設定しなくてはならない。しかし、外部から供給される入力クロックとしては、クロックの種類や波形のタイミング設定精度に制約が多い。そこで、“H”レベル期間  $t_{H1}$ , “L”レベル期間  $t_{L1}$ , アクセス周期  $T$  ( $T = t_{H1} + t_{L1}$ ) であるような典型的な入力クロック DIN を用意する。この入力クロック DIN を用いて内部クロックであるメモリ選択クロック CS, センス回路動作クロック SA, ブルアップ動作クロック PU を得るために、一例として、第13図 (b) のような回路を用いる。これは、それぞれ遅延時間  $\Delta t_i$  の遅延回路  $D_i$  ( $i = 1 \sim m$ ) の  $m$  段の直列接続と、電荷蓄積・放出による遅延  $\Delta t_c$  の容量負荷と、n チャネルトラシジスタ  $Q_n$  と p チャネルトランジスタ  $Q_p$  のチャネル幅比を設定した、遅延時間  $\Delta t_L$  の立ち上がり・立ち下がり調整回路との直列接続回路として構成する。そこで、任意波形を得るために入力クロック DIN をこの遅延回路に入力した出力  $D_{out}$  の波形で、起点からの遅延

生産を提供することにある。

#### (難題を解決するための手段)

上記目的を達成するため、本発明は、①外部から遅延量を制御しうる単位遅延回路を任意個数並列に接続したこと、②内部回路動作中に自動的に遅延量を制御し、遅延量を固定できるようにしたこと、③各単位遅延回路の出力に任意の論理回路を付加したことを主要な特徴とする。

#### (作用)

上記構成により、帰還電位によって遅延量が調節可能な同一性能をもつ遅延回路を並列接続し、各遅延回路出力の論理をとることで、外部から遅延な單一の基本クロックを与えるだけで、多數の高周波クロックを発生しうるようになる。また、基本クロックサイクルを変化させることで、発生クロック全体の立ち上がり・立ち下がり時間をも自在に設定できる。

以上の作用により、高精度・高速なクロックを LSI 内部で発生することができる。

$\Delta t_i$  は

$$\Delta t_i = \Delta t_s \times m + \Delta t_c + \Delta t_k$$

で表わせる。

また、内部クロックの  $t_H$  や  $t_L$  は、立ち上がり・立ち下がり調整回路のトランジスタのしきい値の変化などで微調する。これらの調整により、上記した内部クロック SA, PU, CS の波形を得る。

#### [発明が解決しようとする課題]

上記従来技術では、遅延回路の構成が固定的であるため、①外部入力クロックを変化させても、立ち上がり・立ち下がりタイミングを制御できないこと、②温度などの周囲環境条件や、しきい値ばらつきなどの製作技術などによる変動を考慮して、過剰な動作余裕を設けなくてはならないこと、等の問題があり、全体回路の高速動作制御は困難であり、汎用性にも乏しかった。

本発明の目的は、上記の問題点を解決すべく、過剰な動作余裕を設けることなく、内部回路を正確かつ高速に動作させることを可能にする信号発

#### [実施例]

以下、本発明の実施例を図面を用いて説明する。

##### 実施例 1：

第1図は本発明の第1の実施例を示す図である。本実施例は、単相クロック 1 系統の入力から、同期 RAM を動作させる内部クロックを発生させる構成例を示している。

第1図において、1 は単位遅延回路  $D(m)$  : ( $m = 1 \sim M$ ) で、入力信号  $I(m)$  を受け、アナログ信号  $G(m)$  の入力レベルによって、出力信号  $O(m)$  の出力タイミングを調節できる素子である。2 は遅延制御回路で、比較信号入力端  $input_1$ ,  $input_2$  の位相ずれを検出し、この位相差  $\Delta T$  の進み・遅れを出力電圧  $V_{DT}$  の上昇・低下に変換する回路である。3 は入力  $ir_1$  の否定を  $ov$  に出力する否定素子、4 は入力  $ir_1$ ,  $ir_2$  の論理和を  $or_1$  に出力する論理和素子、5 は入力  $ia_1$ ,  $ia_2$  の論理積を  $oa_1$  に出力する論理積素子、6 は入力  $ia_3$ ,  $ia_4$  の論理積を  $oa_2$  に出力する論理積素子である。

符号 1 の単位遅延回路  $D(m)$  を  $m = 1$  から  $M$  まで順に縦列接続し、外部入力端子  $I_N$  (または  $O(\circ)$ ) を、縦列接続の単位遅延回路の始点にある  $D(1)$  の入力端子  $I(1)$  ならびに遅延制御回路 2 の  $Input_2$  に接続し、 $O(k)$  を  $I(k+1)$  ( $k = 1 \sim M-1$ ) に接続し、最終段の  $D(M)$  の出力  $O(M)$  を遅延制御回路 2 の  $Input_1$  に接続する。

また、 $O(\circ)$  を論理和素子 4 の入力  $ir_1$  と否定素子 3 の入力  $iv$  と論理積素子 5 の入力  $ia_1$  に接続し、 $O(1)$  を論理和素子 4 の入力  $ir_2$  に接続し、 $O(5)$  を論理積素子 5 の入力  $ia_2$  と論理積素子 6 の入力  $ia_4$  に接続し、否定素子 3 の出力  $ov$  を論理積素子 6 の入力  $ia_3$  に接続する。便宜上、論理和素子 4 の出力  $or_1$  をメモリ選択クロック  $C_S$ 、論理積素子 5 の出力  $oa_1$  をセンス回路動作クロック  $S_A$ 、論理積素子 6 の出力  $oa_2$  をプルアップ動作クロック  $P_U$  とする。

ここで、第 1 図における単位遅延回路  $D(m)$  の具体的な構成例を第 2 図に示す。図において、

$M_1, M_2$  は  $n$  チャネルトランジスタであり、 $M_3 \sim M_5$  は  $p$  チャネルトランジスタである。 $M_1, M_3, M_5$  の接続で遅延制御否定素子を、 $M_2, M_4$  の接続で否定素子をそれぞれ形成する。これらを縦列に接続し、信号  $I(m)$  を入力すると、遅延を伴って  $O(m)$  に出力する。このとき、 $M_5$  のゲートに印加する信号  $G(m)$  の電圧を変化させると、 $M_1, M_3, M_5$  の否定素子出力の論理しきい値が変化し、出力  $O(m)$  の立ち下がりタイミングがずれ、 $D(m)$  1 素子当たりの遅延も制御できる。

次に、第 1 図における遅延制御回路 2 の具体的な構成例を第 3 図に示す。図において、 $D(m)$  は、第 1 図に示した遅延素子と同等なものであり、 $M$  段全体で基準信号発生回路  $DG$  を形成する。 $SR_1, SR_2$  は  $S/R$  ラッチであり、 $S$  端子への信号の立ち下がりタイミングで “H” を記憶し出力し、 $R$  端子への信号の立ち下がりタイミングで “L” を記憶し出力する素子である。 $M_1 \sim M_7$  は  $p$  チャネルトランジスタ、 $A_1 \sim A_4$  は定

電流源、 $C_1 \sim C_3$  は容量、 $SA$  は差動増幅器である。これらをシーケンサ  $S$  で制御する。シーケンサ  $S$  はカウンタで形成され、第 4 図に示すように、周期  $T$  の基準信号  $Tin$  から、位相が  $T$  ずれた周期  $4T$  の 4 種類の信号  $clk_1 \sim clk_4$  を発生する。

以下に、第 3 図に示した回路系の動作を簡単に説明する。すなわち、①信号  $clk_1$  によって容量  $C_1, C_2$  を放電し、②信号  $clk_2$  によって、基準信号発生回路  $DG$  内を  $clk_2$  の遅延信号が伝達を開始し、同時に  $SR_1, SR_2$  の出力が “L” から “H” となり、容量  $C_1, C_2$  の充電を開始し、③信号  $clk_3$  によって、 $SR_2$  の出力が “H” から “L” となり、 $SR_2$  による充電を停止し、④基準信号発生回路  $DG$  の出力によって、 $SR_1$  の出力が “H” から “L” になり、 $SR_1$  による充電を停止し、⑤容量  $C_1, C_2$  の充電量に比例した電圧差を差動増幅器  $SA$  で増幅し、⑥差動増幅器  $SA$  の出力レベルにより、 $n$  チャネルトランジスタ  $M_6, M_7$  の抵抗値が設定され、⑦信号  $clk_4$  で  $n$  チャネルトランジスタ  $M_3$  を介して容

量  $C_3$  の充電または放電を行い、制御電圧  $V_c$  を発生する。上記①～⑦を常時繰り返すことにより制御電圧  $V_c$  を制御する。

第 1 図における動作波形例を第 5 図に示す。ここで、基本動作は以下の通りである。すなわち、①  $I_N(O(\circ))$  は、周期  $T$  の基本クロックである。このクロックが単位遅延回路 1 を 1 段通過するごとに、 $O(1), O(2)$  のように  $\Delta T$  ずつ遅延して伝播する。

②第 1 図中の遅延制御回路 2 の  $Input_1$  に入力する最終  $M$  段目の出力  $O(M)$  と  $Input_2$  に入力する  $I_N$  との位相差  $\Delta T_O$  の大きさにより、制御電圧  $V_c$  の加減と絶対量を調節して、単位遅延回路  $D(m)$  : ( $m = 1 \sim M$ ) に帰還する。

上記①と②とを繰り返して、 $\Delta T_O$  を限りなく 0 に近づける。このとき、 $\Delta T$  の値は、任意の  $m$  段目出力と  $m+1$  段目との出力差として

$$\Delta T = T / M \quad \dots \dots (1)$$

で表わされる。

そこで、第 1 図の回路によって生成した波形は、

第5図のCS、SA、PUの波形のようになる。メモリ側のクロックマージンとしては、 $t_0$ 、 $t_1$ 、 $t_2$ 、 $t_3$ といった値を保証しなくてはならないが、第1図に示す本実施例の回路を用いることによって、 $t_0$ は $5 \times \Delta T$ 、 $t_1$ は $T/2 - 6 \times \Delta T$ 、 $t_2$ は $\Delta T$ 、 $t_3$ は0と規定でき、環境やトランジスタ性能、経年変化によらず一定に保つことができる。

#### 実施例2：

第6図は本発明の第2の実施例を示す図である。本実施例は、第1の実施例に示した遅延回路と遅延制御回路とを用いて、非同期メモリのクロックを発生させる構成例を示している。

実施例1において説明した通り、単位遅延回路1、D(m)：(m=1～M)、遅延制御回路2、信号INによって、D(m)一段当たりの遅延値 $\Delta T$ が $T/M$ になるような出力電圧 $V_a$ が発生する。一方、D(m)と同等の現子である単位遅延回路7、D'(n)：(n=1～N)を並列接続し、D'(n)のG'(n)に $V_a$ を印加する。D'(n)

第1、D(m)：(m=1～M)、遅延制御回路2、信号INによって、D(m)一段当たりの遅延値 $\Delta T$ が $T/M$ になるような出力電圧 $V_a$ が発生する。以下に説明では、便宜上、M=8とするが、これは任意の値でよい。8は1ビット分のデータを表す記憶素子、M(m)：(m=1～8)であり、ROM、RAM、レジスタなどで構成される。M(m)内の記憶データは、D(m)の出力O(m)により、O'(m)：(m=1～8)に出力する。従って、M(m)からなる回路Mは、一段の記憶回路でよい。符号9で示すD'(m)：(m=1～8)は、D(m)と同等の遅延制御性をもち、出力が反転する遅延素子である。D'(m)の遅延値制御端子G'(m)には、D(m)に印加するものと等しい $V_a$ を印加し、遅延値 $\Delta T$ の同時制御と信号の同期を行なう。符号10で示すA(m)は、2入力位の論理積を出力する論理積素子である。符号11で示すR1は、A(m)からの出力信号O''(m)を入力とする論理和素子である。

これらの回路の動作を以下に説明する。D(m)

の出力をそれぞれO(n)とし、任意の同期回路を接続する。本実施例では、一例として、実施例1と同様に、否定現子3、論理和現子4、論理積現子5および6を接続する。

この回路の動作波形例を第7図に示す。ここで、INは周周期Tの同期信号、CLKはINの同期と任意の値 $\Delta T$ だけずれた早発信号である。第6図におけるD'(n)の出力O(n)は、D'(n-1)の出力O(n-1)に対し $\Delta T$ だけ遅延し、信号CLKに対して $\Delta T \times n$ だけ遅延した信号となる。従って、CS、SA、PUは、任意に入力する早発信号CLKに対して1サイクル分の動作を行う。これらの信号は、非同期メモリのクロックに現象的である。

#### 実施例3：

第8図は本発明の第3の実施例を示す図である。本実施例は、第1の実施例に示した遅延回路と遅延制御回路とを用いて、ワードジェネレータとして動作させる構成例を示している。

実施例1および実施例2と同様に、単位遅延回

の出力O(m)によって、M(m)に記憶していたデータがO'(m)に出力する。O'(m)はD'(m)の入力端子とA(m)の入力端子1に、またD'(m)の出力がA(m)の入力端子2にそれぞれ接続する。このとき、O'(m)に記憶値“H”が出力すると、D'(m)の遅延時間 $\Delta T$ の間だけ、O''(m)に“H”が出力する。これに対し、O'(m)の記憶値が“L”的場合は、O''(m)は“L”に固定する。R1はA(m)の出力の論理和をとってCLKOUTに出力する。

第9図に第8図の回路の動作波形例を示す。同期Tの同期クロックINによって、M(m)の記憶データが、 $\Delta T$ の時同期でO''(m)に出力する。O''(m)の出力は、D(m)の信号の伝遅延、すなわち時系列的にR1に伝えられるので、CLKOUTには記憶履歴に従った波形が現れる。このようにして、オンチップ可塑なワードジェネレータが構成できる。

#### 実施例4：

第10図は、前記実施例3と同等の回路を別図

で構成した本発明の第4の実施例を示す図である。図において、 $D(m)$  : ( $m = 1 \sim 8$ ) で、入力信号  $I(m)$  を受け、アナログ信号  $G(m)$  と  $G'(m)$  : ( $m = 1 \sim 8$ ) の入力レベルによって、各々出力信号  $O(m)$  の立ち下がりと立ち上がりタイミングを調節できる素子である。12は立ち上がり遅延制御回路であり、遅延制御回路2と同等の入力端子  $input1'$ 、 $input2'$  をもち、立ち上がりタイミングの差を検出し、出力電圧  $V_0'$  の上昇・低下に変換する回路である。遅延制御回路2、記憶素子8および論理和素子11は実施例3と同一回路である。

第10図における、 $D(m)$  の具体的な構成例を第11図に示す。 $M1$ 、 $M2$ 、 $M6$ はnチャネルトランジスタ、 $M3$ ～ $M5$ はpチャネルトランジスタである。 $M1$ 、 $M3$ 、 $M5$ 、 $M6$ の接続で遅延制御否定素子、 $M2$ 、 $M4$ の接続で否定素子を形成する。これらを縦列に接続し、信号  $I(m)$  を入力すると、遅延を伴って  $O(m)$  に出力する。このとき、 $M5$ のゲートに印加する信号  $G(m)$  の

電圧を変化させると、 $M1$ 、 $M3$ 、 $M5$ 、 $M6$ の否定素子出力の論理しきい値が変化し、出力  $O(m)$  の立ち上がりタイミングがずれ、 $D(m)$  1素子当たりの立ち下がり遅延が制御できる。また、 $M6$ のゲートに印加する信号  $G'(m)$  の電圧を変化させると、 $M1$ 、 $M3$ 、 $M5$ 、 $M6$ の否定素子出力の論理しきい値が変化し、出力  $O(m)$  の立ち下がりタイミングがずれ、 $D(m)$  1素子当たりの立ち上がり遅延が制御できる。

第10図における立ち上がり遅延制御回路12の具体的な構成例を第12図に示す。これが遅延制御回路2と相違する点は、 $input1'$ 、 $input2'$  の入力回路である  $SR1$  と  $SR2$  の入力極性である。すなわち、遅延制御回路2の  $SR1$  と  $SR2$  は、 $DG$  の出力、 $clk2$ 、 $clk3$  の立ち下がりタイミングで、 $D(m)$  の立ち下がり遅延時間を制御するが、立ち上がり遅延制御回路12では、 $DG$  の出力、 $clk2$ 、 $clk3$  の立ち上がりタイミングで、 $D(m)$  の立ち上がり遅延時間を制御する。

本実施例では、 $D(m)$  の出力  $O(m)$  の立ち上

がり・立ち下がりタイミングを遅延制御回路2および12で制御する結果、実施例3で用いた立ち下がりタイミングを調整する  $D'(m)$ 、 $A(m)$  の素子が不用になる。

#### [発明の効果]

本発明によれば、LSIチップ上に自己制御可能な制御回路と、従来の論理素子とを組み合わせて、単純な外部信号を与えるのみで正確な内部信号を発生できる。これにより

(i) 基板温度や経年変化の影響を被制御素子と同様に受けるので、長期にわたって安定に制御できる。

(ii) 外部から信号を与えるのに比べ、負荷やバッファによる波形の変形を生じないので、特別な使用条件を必要としない。

(iii) 素子性能の限界まで高速な信号を供給しうる。

等の利点がある。

本発明の信号発生器は、並列処理プロセッサ、キャッシュ・メモリ等の高速メモリなど高速LS

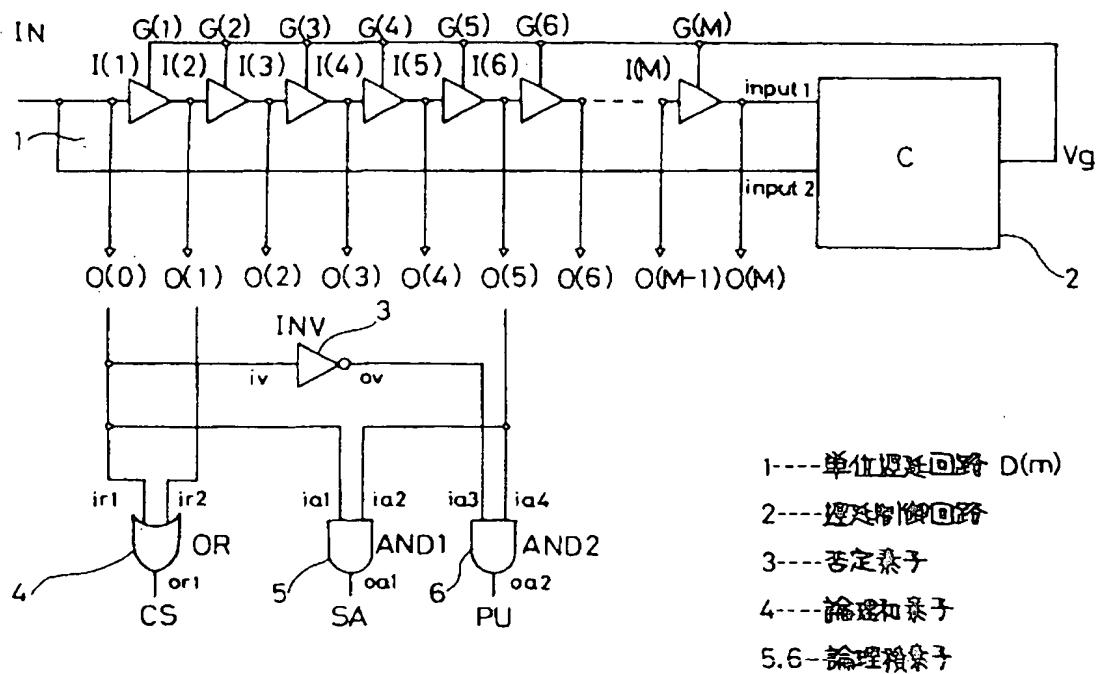
Iの制御信号発生回路に使用すると効果が大きい。

#### 4. 図面の簡単な説明

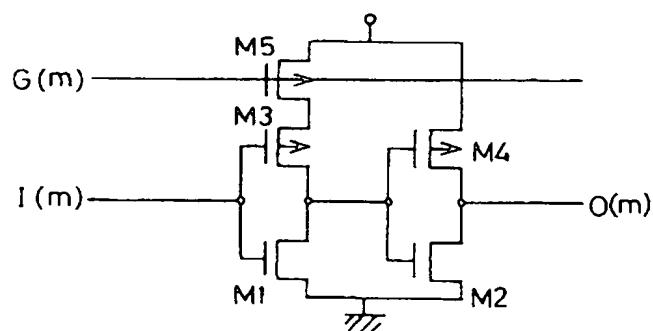
第1図は本発明の第1の実施例の回路図、第2図および第3図は該実施例を実現する回路の一例を示す図、第4図はその制御波形図、第5図は該実施例での動作波形図である。第6図は本発明の第2の実施例の回路図、第7図は該実施例での動作波形図である。第8図は本発明の第3の実施例の回路図、第9図は該実施例での動作波形図である。第10図は本発明の第4の実施例の回路図、第11図および第12図は該第4の実施例を実現する回路の一例を示す図である。第13図は従来例の説明図である。

#### 符号の説明

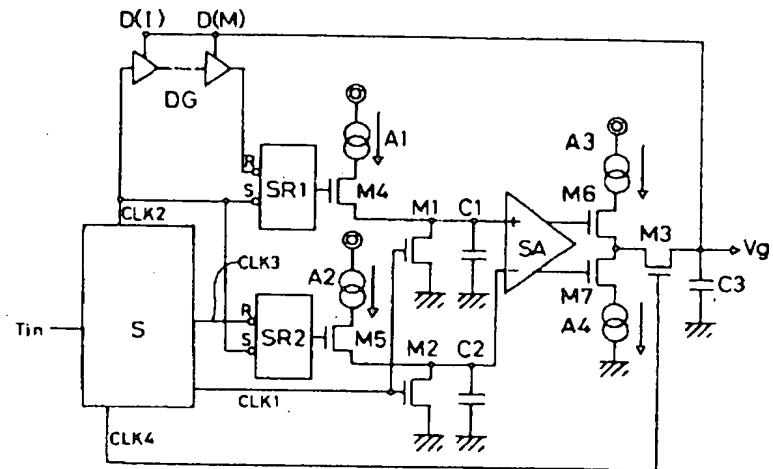
1 … 単位遅延回路	2 … 遅延制御回路
3 … 否定素子	4 … 論理和素子
5、6 … 論理積素子	7 … 単位遅延回路
8 … 記憶素子	9 … 遅延素子
10 … 論理積素子	11 … 論理和素子
12 … 立ち上がり遅延制御回路	



第 1 圖

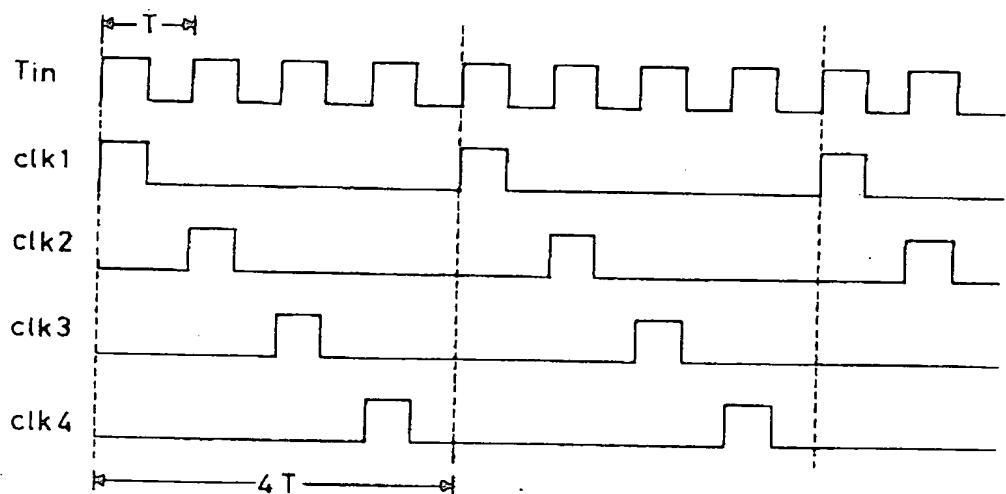


第 2 圖

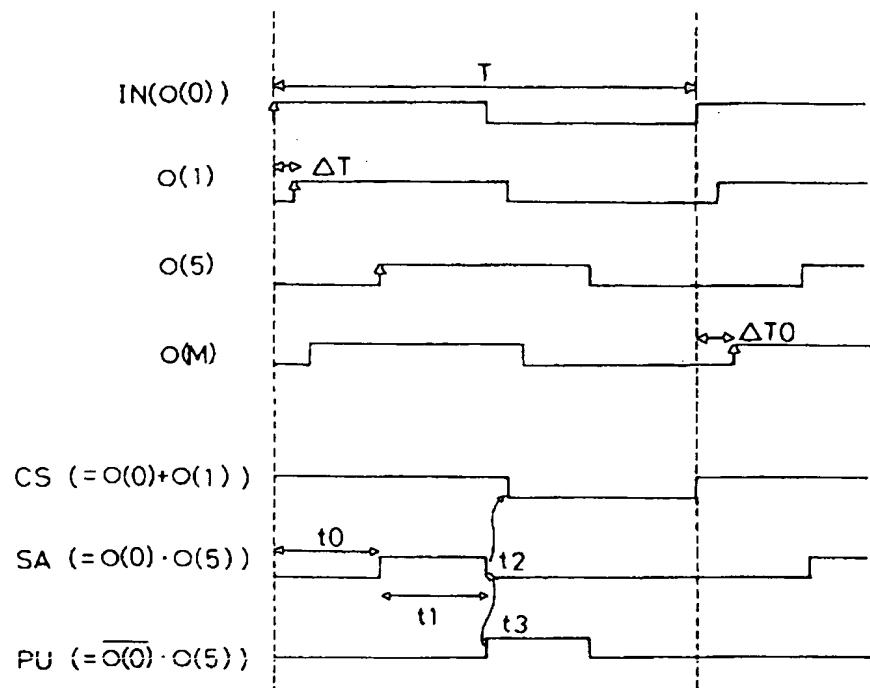


DG-----基本信号生成回路  
 S-----シーケンサ  
 SR1,SR2---S/R ラッチ  
 A1~A4---定電流源  
 SA---基動量増幅器  
 M1~M7---nチャネルトランジスタ  
 C1~C3---容量

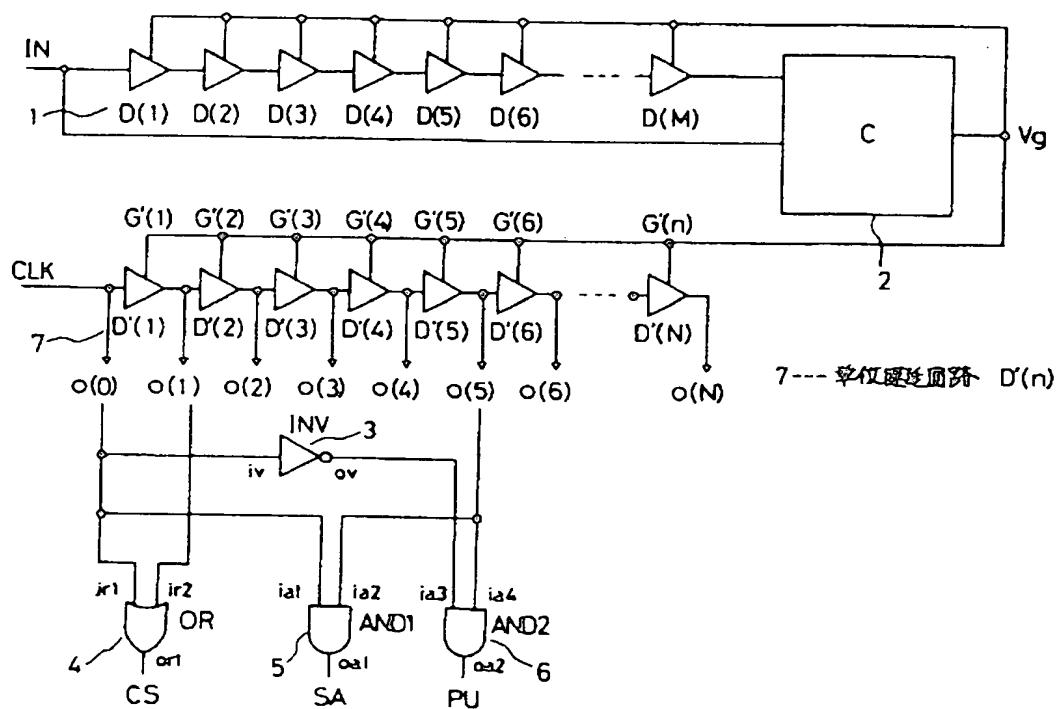
第3図



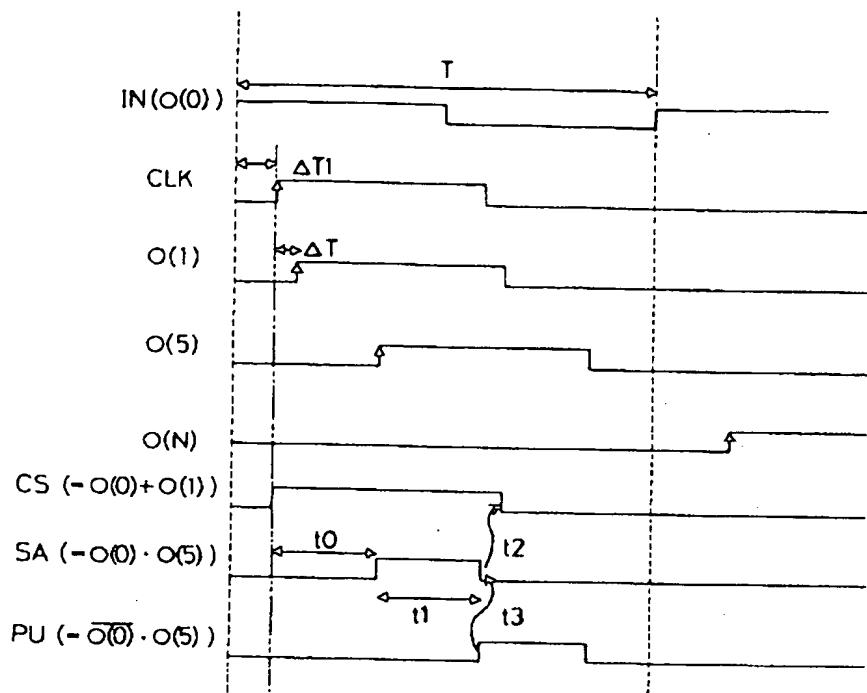
第4図



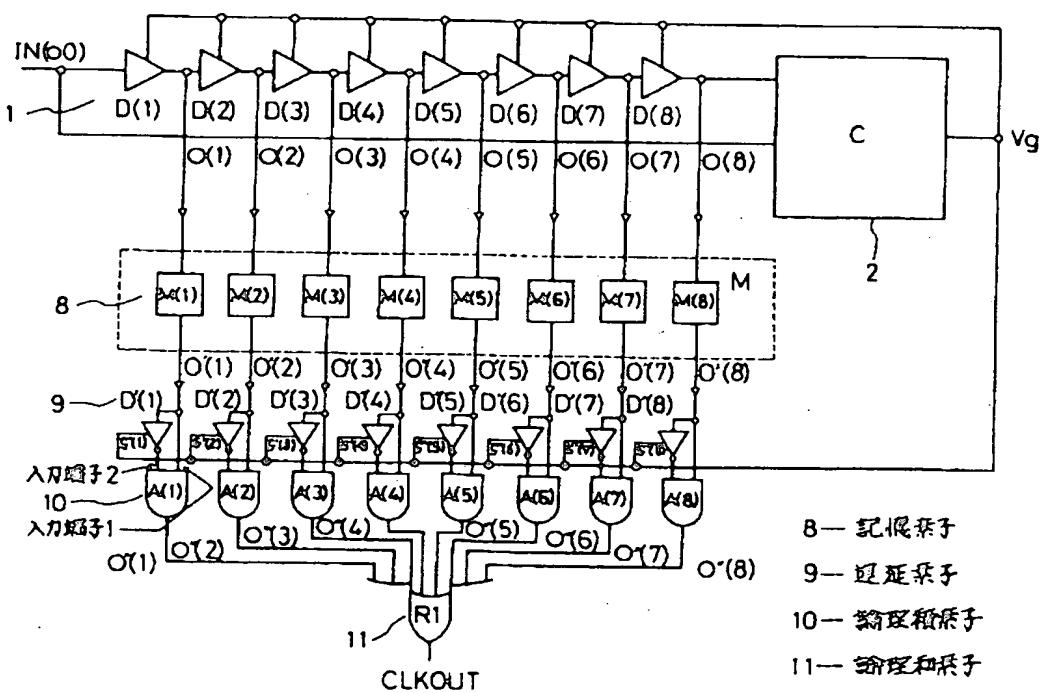
第 5 圖



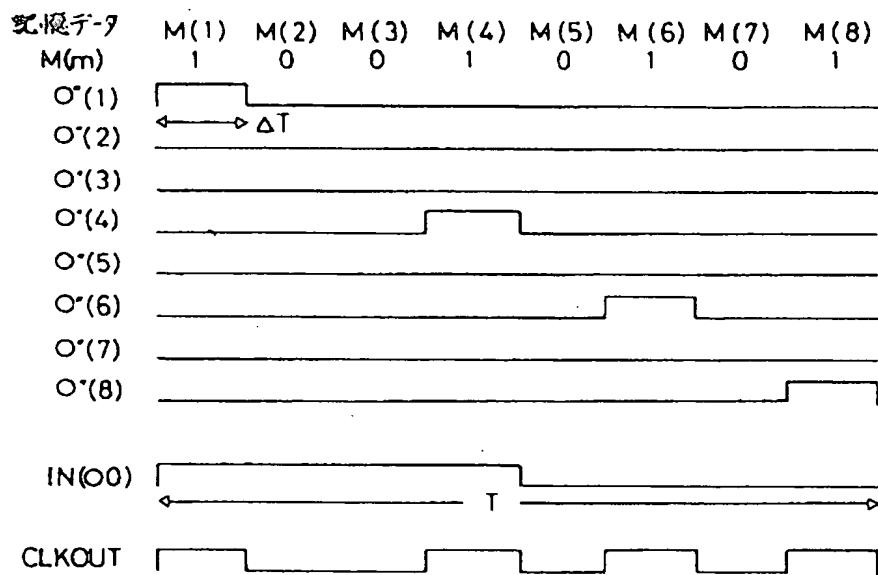
第 6 圖



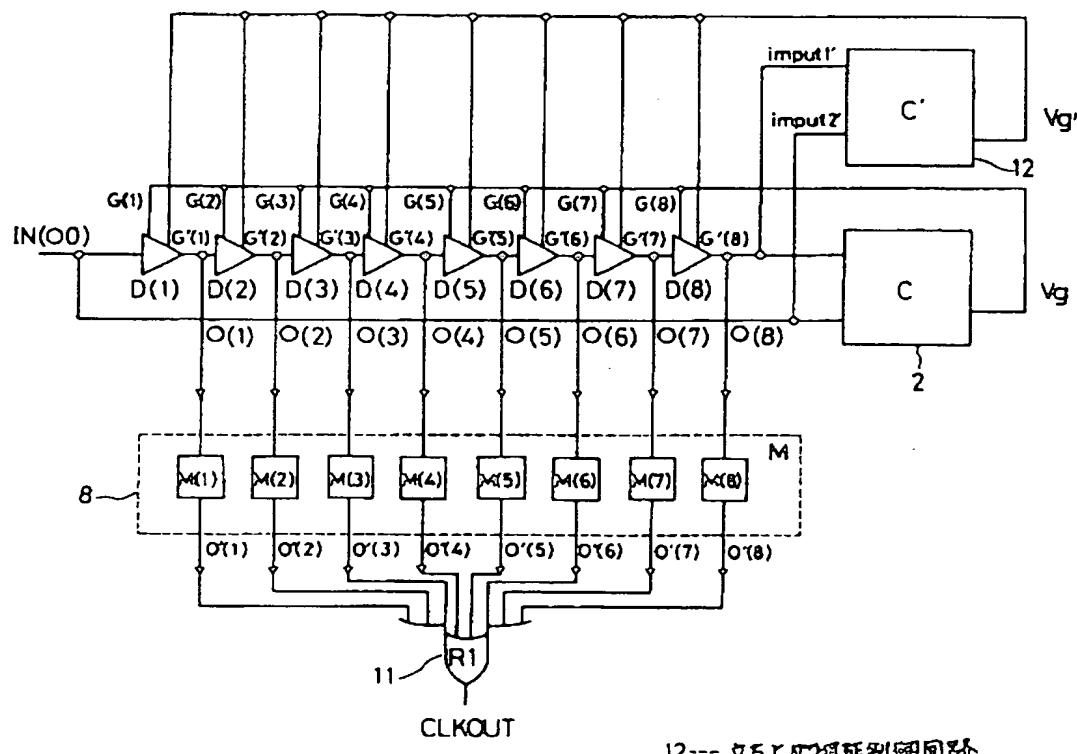
第 7 圖



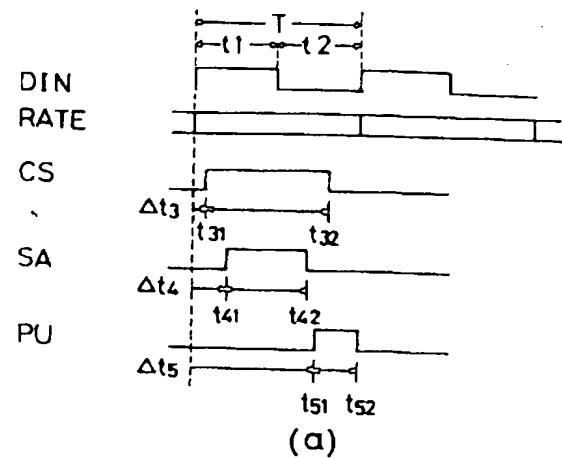
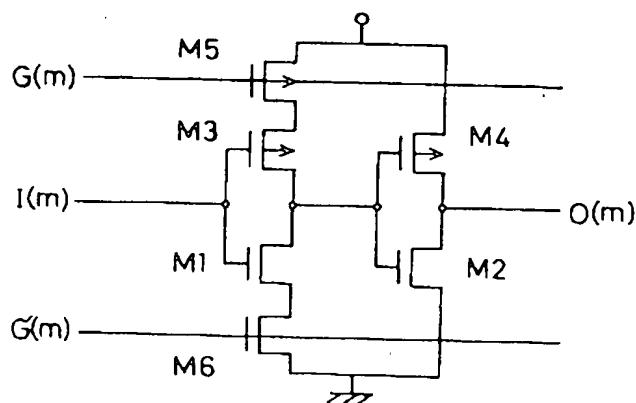
第 8 圖



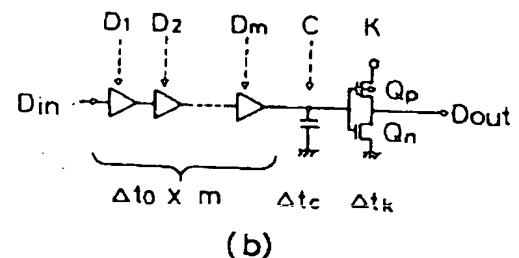
第9図



第10図



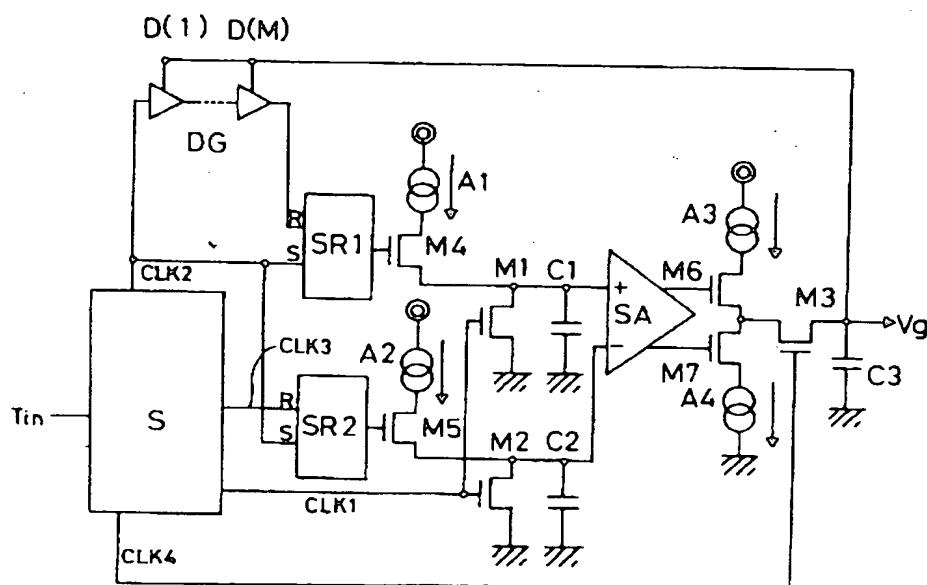
(a)



(b)

第 11 圖

第 13 圖



第 12 圖